

Docket No.: MAS-FIN-408

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : BERND GOLLER ET AL.
Filed : CONCURRENTLY HEREWITH
Title : ELECTRONIC DEVICE CONFIGURED AS A MULTICHIP
MODULE, LEADFRAME, PANEL WITH LEADFRAME
POSITIONS, AND METHOD FOR PRODUCING THE
ELECTRONIC DEVICE

CLAIM FOR PRIORITY

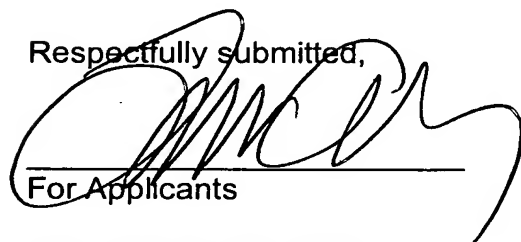
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119,
based upon the German Patent Application 102 50 538.1, filed October 29, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted
herewith.

Respectfully submitted,


For Applicants

LAURENCE A. GREENBERG
REG. NO. 29,308

Date: October 29, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/kf

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 50 538.1

Anmeldetag: 29. Oktober 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Elektronisches Bauteil als Multichipmodul und Verfahren zu dessen Herstellung

IPC: H 01 L 25/16

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 7. Oktober 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to be 'S. J. H.' or similar.

A small, circular official stamp of the German Patent and Trademark Office (DPMA).



Beschreibung

Elektronisches Bauteil als Multichipmodul und Verfahren zu dessen Herstellung.

5

Die Erfindung betrifft ein elektronisches Bauteil als Multichipmodul, einen Schaltungsträger, der in dem elektronischen Bauteil angeordnet ist und einen Nutzen, der mehrere Schaltungsträgerpositionen aufweist sowie ein Verfahren zur Herstellung des elektronischen Bauteils.

10

Der zunehmenden Miniaturisierung von integrierten Schaltungen stehen die erforderlichen Dimensionen von passiven Bauelementen, wie Spulen und Kondensatoren, entgegen, da sie eine verhältnismäßig große Halbleiterchipfläche beanspruchen. Außerdem sind durch die Forderung, Kontaktflächen auf den Chips entweder in ihren Randbereichen oder in jeweils einem zentralen Bereich anzuordnen, Designvarianten und Designfreiheitsgrade erheblich eingeschränkt. Beim Zusammenführen von mehreren Halbleiterchips zu einem Modulbaustein ist das Chipdesign aufgrund dieser Forderung äußerst komplex. Sollen zwei Halbleiterchips untereinander verdrahtet werden, so ist es schwierig bis unmöglich, ihre Chipdesigns exakt aufeinander abzustimmen, zumal wenn die Halbleiterchips von unterschiedlichen Zulieferern stammen. Darüber hinaus sind häufig mehrere Kontaktflächen für die Versorgung von Halbleiterchips vorzusehen, wozu zusätzliche Halbleiterchipfläche erforderlich wird. Diese Nachteile werden auch nicht durch ein aus der Druckschrift US 5,556,812 bekanntes Verfahren zur Herstellung eines Multichipmoduls überwunden.

25

30

Aufgabe der Erfindung ist es, ein elektronisches Bauteil zu schaffen, das eine weitergehende Miniaturisierung der aktiven

Oberseite von Halbleiterchips zulässt. Gelöst wird diese Aufgabe mit dem Gegenstand der unabhängigen Ansprüche. Weitere vorteilhafte Ausführungsformen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

5

Gelöst wird diese Aufgabe durch ein elektronisches Bauteil, das zwei oder mehr Halbleiterchips mit Kontaktflächen auf ihren aktiven Oberseiten aufweist. Diese Halbleiterchips sind in einen Schaltungsträger derart integriert, dass eine Bestückungsseite des Schaltungsträgers und die aktiven Oberseiten der Halbleiterchips bündig sind und eine gemeinsame Feinverdrahtungsebene aufweisen. Diese Feinverdrahtungsebene weist derart feine Leiterbahnen auf, dass die Kontaktflächen auf der aktiven Oberseite des Halbleiterchips in ihrem Flächenbedarf vermindert werden können. Ferner ermöglicht die gemeinsame Feinverdrahtungsebene, dass flächenintensive passive Bauelemente, wie Spulen, Kondensatoren, Kammfilter und andere flächenintensive Bauelemente von der aktiven Oberseite des Halbleiterchips in die gemeinsame Feinverdrahtungsebene verlegt werden können.

Im Randbereich des Schaltungsträgers weist die Feinverdrahtungsebene Kontaktanschlußflächen auf, die über Bondverbindungen mit Bondflächen eines den Schaltungsträger tragenden Umverdrahtungssubstrats verbunden sind. Dazu weist das Umverdrahtungssubstrat einen Randbereich auf, der nicht von dem Schaltungsträger bedeckt ist. Auf diesem Randbereich sind Bondflächen des Umverdrahtungssubstrats angeordnet.

Da die Kontaktflächen der Halbleiterchips nur noch in der Feinverdrahtungsebene mit Leiterbahnen verbunden sind und keine Flächen für flächenintensive Bondverbindungen aufweisen, können diese Kontaktflächen wesentlich kleiner als die

Kontaktanschlußflächen auf dem Schaltungsträger und auch kleiner als die Bondflächen auf dem Umverdrahtungssubstrat ausgebildet sein. Somit können die Kontaktflächen der Halbleiterchips nicht nur verkleinert werden, sondern sie müssen
5 auch nicht mehr auf den Randbereich und/oder auf einen zentralen Bondkanal auf der aktiven Oberseite eines Halbleiterchips begrenzt werden. Vielmehr ist es nun möglich, der Designentwicklung größere Freiheiten für eine Anordnung von Kontaktflächen einzuräumen. Dem Schaltungsdesign steht somit
10 die gesamte Oberfläche des Halbleiterchips für ein beliebiges Anordnen von miniaturisierten Kontaktflächen zur Verfügung.

Auf dem Umverdrahtungssubstrat ist ein Gehäuse angeordnet, in das die Komponenten auf dem Umverdrahtungssubstrat, wie Bonddrähte, Schaltungsträger mit Feinverdrahtungsebene und eingebetteten Halbleiterchips verpackt sind. Die Unterseite des Umverdrahtungssubstrats bildet gleichzeitig eine Außenseite des elektronischen Bauteils und weist auf dieser Unterseite verteilte Außenkontakte des elektronischen Bauteils auf.
15

20 Die Halbleiterchips können unterschiedliche Größen in Bezug auf ihre Dicke und ihre aktiven Oberflächen, sowie unterschiedliche integrierte Schaltungen aufweisen. Die Unterschiede in der Dicke können durch das Schaltungsträgermaterial nivelliert werden, wobei lediglich die aktiven Oberseiten der Halbleiterchips der Oberseite des Schaltungsträger bündig anzupassen sind, um eine Voraussetzung für eine gemeinsame Feinverdrahtungsebene zu schaffen.
25

30 Die gemeinsame Feinverdrahtungsebene kann elektrische Leiterbahnen zwischen Kontaktflächen der zwei oder mehr Halbleiterchips aufweisen. Damit können die Halbleiterchips untereinander

der über die Feinverdrahtungsebene miteinander verdrahtet sein.

5 Darüber hinaus kann die gemeinsame Feinverdrahtungsebene elektrische Leiterbahnen zwischen Kontaktflächen der Halbleiterchips und Kontaktanschlußflächen im Randbereich des Schaltungsträgers aufweisen. Dabei kommt es nicht darauf an, dass die Kontaktflächen der Halbleiterchips lediglich im Randbereich oder in einem zentralen Bondbereich der Halbleiterchips
10 angeordnet sind, sondern sie können beliebig auf der Oberfläche des Halbleiterchips verteilt werden und dennoch über die Feinverdrahtungsebene mit flächenintensiven Bondverbindungen über die Kontaktanschlußflächen des Schaltungsträgers in Verbindung stehen.

15

Die Feinverdrahtungsebene kann Dünnschichtleiter aufweisen, die sich durch ihre geringe Dicke von einigen Hundert Nanometern und ihre geringe Breite, die ebenfalls im Submikrometerbereich liegen kann, auszeichnen. Damit ist es möglich, auch
20 auf den Halbleiterchips nur Kontaktflächen von entsprechend miniaturisierten Außenmaßen vorzusehen.

Darüber hinaus kann die Feinverdrahtungsebene mit passiven diskreten elektronischen Bauelementen bestückt sein. Derartige diskrete Bauelemente können Widerstände, Kondensatoren oder Spulen aufweisen, deren Elektroden über die Feinverdrahtungsebene mit Elektroden der Bauelemente der integrierten Schaltung der Halbleiterchips verbunden sein können. Insbesondere können Spulen auf die Bestückungsseite des Schaltungsträgers aufgebracht werden, die nicht nur den Halbleiterchip bedecken, sondern größer als die aktive Oberseite des Halbleiterchips sind. Derartige Spulen können in vorteilhaft-

25
30

ter Weise annähernd zur Hälfte auf dem Halbleiterchip und annähernd zur Hälfte auf dem Schaltungsträger angeordnet sein.

Weiterhin kann die Feinverdrahtungsebene Dünnschichtbauelemente, insbesondere elektrische Widerstände, Kammfilter, induktive Bauelemente und/oder kapazitive Bauelemente aufweisen. Derartige Bauelemente können unmittelbar mit der Feinverdrahtung in der Feinverdrahtungsebene realisiert werden. Dazu weisen elektrische Widerstände in Mäanderform angeordnete Feinverdrahtungsleiterbahnen auf, während induktive Bauelemente spiralförmig oder schneckenhausförmig angeordnete Feinverdrahtungsleiterbahnen aufweisen. Dieses hat den Vorteil, dass der Anteil an Bestückungsbauteilen auf dem Schaltungsträger vermindert werden kann. Darüber hinaus können größere Widerstandswerte oder größere Induktivitäten oder Kapazitäten erreicht werden, als sie auf den aktiven Oberseiten der Halbleiterchips möglich sind.

Das Umverdrahtungssubstrat trägt nicht nur den Schaltungsträger auf seiner Oberseite und die Außenkontakte des elektronischen Bauteils auf seiner Unterseite, sondern weist neben den Bondflächen Umverdrahtungsleitungen und Durchkontakte auf, die Bondflächen mit Außenkontaktflächen verbinden. Auf den Außenkontaktflächen können Außenkontakte des elektronischen Bauteils angeordnet sein.

Trotz des Schaltungsträgers ist ein zusätzliches Umverdrahtungssubstrat für dieses elektronische Bauteil vorgesehen, um grobe Verdrahtungsebenen, das heißt Umverdrahtungsleitungen mit Querschnitten, die dem Querschnitt der Bonddrähte entsprechen, zur Verfügung zu stellen. Der Querschnitt dieser Leitungen unterscheidet sich von der Feinverdrahtungsstruktur um etwa eine Größenordnung.

Die Erfindung bezieht sich ferner auf einen Nutzen mit mehreren Schaltungsträgerpositionen, wobei jede Schaltungsträgerposition einen Schaltungsträger für das elektronische Bauteil aufweist. Die Schaltungsträgerpositionen in dem Nutzen sind in Zeilen und Spalten angeordnet, wobei der Nutzen in Form und Größe einem Halbleiterwafer entspricht. Das hat den Vorteil, dass Feinverdrahtungsstrukturen, wie sie bei der Herstellung von Halbleiterchips auf Halbleiterwafern möglich sind, auch für die gemeinsame Feinverdrahtungsebene anwendbar sind. Dabei werden auf dem Nutzen nicht nur ein Schaltungsträger, sondern mehrere Schaltungsträger gleichzeitig mit Feinverdrahtungsstrukturen versehen. Ein derartiger Nutzen aus Schaltungsträgerpositionen kann anschließend in vorteilhafter Weise in einzelne Schaltungsträger für elektronische Bauteile getrennt werden.

Ein Verfahren zur Herstellung eines elektronischen Bauteils mit mehreren Halbleiterchips, die in einem gemeinsamen Schaltungsträger eingebettet sind, arbeitet mit zwei unterschiedlichen Nutzen. Einerseits mit einem ersten Nutzen, der mehrere Schaltungsträgerpositionen aufweist, und einem zweiten Nutzen, der mehrere Bauteilpositionen aufweist und auf einer Umverdrahtungsplatte mit mehreren Umverdrahtungssubstraten angeordnet ist.

Zunächst wird im Rahmen der Herstellung eines elektronischen Bauteils ein erster Nutzen mit in Zeilen und Spalten angeordneten Schaltungsträgerpositionen gefertigt. Dabei werden in jeder Schaltungsträgerposition des ersten Nutzens zwei oder mehr Halbleiterchips in das Material des Schaltungsträgers derart eingebettet, dass die aktiven Oberseiten der Halbleiterchips mit einer der beiden Oberseiten des ersten Nutzens

- bündig werden. Anschließend wird auf diesen Nutzen eine gemeinsame Feinverdrahtungsstruktur auf die aktiven Oberseiten der Halbleiterchips und auf die zu diesen Oberseiten bündige Oberseite des ersten Nutzens in jeder Schaltungsträgerposition mit entsprechenden Kontaktanschlußflächen in den Randbereichen jeder Schaltungsträgerposition aufgebracht. Danach wird dieser erste Nutzen in einzelne Schaltungsträger getrennt.
- 10 Zeitlich unabhängig von der Herstellung eines ersten Nutzens wird eine Umverdrahtungsplatte mit in Zeilen und Spalten angeordneten Bauteilpositionen als Grundplatte eines zweiten Nutzens hergestellt. Dabei werden Bondflächen in Randbereichen jeder Bauteilposition angeordnet, die über Umverdrahtungsleitungen und Durchkontakten mit Außenkontaktflächen auf der Umverdrahtungsplatte in jeder der Bauteilpositionen verbunden sind. Auf diese Umverdrahtungsplatte können nun die aus dem ersten Nutzen getrennten Schaltungsträger in jeder der Bauteilpositionen der Umverdrahtungsplatte unter Freilassung der Randbereiche mit Bondflächen aufgebracht werden. Anschließend werden Bondverbindungen zwischen den Kontaktanschlußflächen des Schaltungsträgers und den Bondflächen der Umverdrahtungsplatte in jeder Bauteilposition durchgeführt.
- 25 Schließlich wird ein zweiter Nutzen durch Bedecken der Bauteilpositionen mit einer Kunststoffgehäusemasse hergestellt. Vor dem Trennen des Nutzens in einzelne elektronische Bauteile können auf Kontaktflächen der Unterseite der Umverdrahtungsplatte Außenkontakte angebracht werden. Das Aufbringen von Außenkontakten kann jedoch auch noch nach dem Trennen des Nutzens in einzelne elektronische Bauteile für jedes Bauteil einzeln erfolgen.

Dieses Verfahren hat den Vorteil, dass die einzelnen Verfahrensschritte zur Herstellung eines elektronischen Bauteils gleichzeitig und parallel für mehrere Bauteile durch das Herstellen eines ersten und eines zweiten Nutzens erfolgen kann.

- 5 Darüber hinaus kann der erste Nutzen in Waferform ausgebildet sein, so dass sämtliche Technologien zur Strukturierung einer Feinverdrahtungsstruktur mit Anlagen, Geräten und Verfahren durchgeführt werden können, die aus der Siliciumplanartechnologie bekannt sind.

10

Zum Aufbringen einer gemeinsamen Feinverdrahtungsstruktur können ein Photolithographieverfahren zur Feinstrukturierung von geschlossen aufgetragenen Metallschichten eingesetzt werden. Derartige Photolithographieverfahren sind bereits so weit entwickelt, dass Submikrometerstrukturen für die Leiterbahnen in der gemeinsamen Feinverdrahtungsstruktur möglich sind.

15

- Alternativ kann zum Aufbringen einer Feinverdrahtungsstruktur auf den ersten Nutzen oder einer Umverdrahtungsstruktur auf die Umverdrahtungsplatte eine Leitpaste aufgedruckt werden, die anschließend zu Leiterbahnen, Kontaktanschlußflächen, Bondfläche und/oder passiven Bauelementen gesintert wird. Ein derartiges Verfahren hat den Vorteil, dass ein unstrukturier-
- 20 tes Aufbringen von geschlossenen Metallschichten entfällt, zumal die Leitpaste in ihrer Endstruktur auf den Schaltungsträger beziehungsweise auf die Umverdrahtungsplatte aufgedruckt werden kann. Ist das Material der aufgedruckten oder mit Photolithographie erzeugten Kontaktflächen nicht unmittelbar mit Bonddrähten verbindbar, so werden die Kontaktflächen mit einem bondbaren Material beschichtet. Auf einem der-
- 25 artigen Material können dann die Bondverbindungen mittels
- 30

Thermokompressionsbonden von Bonddrähten auf den Kontaktanschlüssen entstehen.

Das Einbetten des Schaltungsträgers mit den Bondverbindungen auf der Umverdrahtungsplatte kann noch vor dem Aufteilen der Umverdrahtungsplatte in einzelne elektronische Bauteile mittels eines Transfermoldverfahrens erfolgen, so dass ein zweiter Nutzen entsteht, der in Zeilen und Spalten angeordnete Bauteilpositionen aufweist, die anschließend aus dem Nutzen herausgetrennt werden.

Zusammenfassend ist festzustellen, dass mit der vorliegenden Erfindung ein Schaltungsträger mit integrierten Halbleiterchips verwirklicht wird, der mit Dünnschichtprozessen oder Prozessen vergleichbar mit denen aus der Scheibenherstellung weiter prozessiert werden kann, um eine Feinverdrahtung zu erzeugen. Durch diese Feinverdrahtung sind sehr exakte und kleine Strukturen möglich, welche Verbindungen zwischen zwei Chips auf enger Fläche ermöglichen. Durch die Strukturierung können Einbauplätze und Bestückungsplätze für passive Komponenten auf der gesamten Schaltungsträgerfläche erzeugt werden. Durch die Feinverdrahtung auf dem Träger ist es schließlich möglich, die Leistungsversorgung direkt an den Halbleiterchip heranzuführen. Darüber hinaus kann die Gehäusedicke für die späteren Bauelemente am fertig strukturierten und bestückten Schaltungsträger durch einen Rückschleifprozess vermindert werden. Über die Feinverdrahtung auf dem Schaltungsträger mit integrierten Halbleiterchips werden die Signale an den äußeren Rand zu Kontaktanschlüssen geführt.

30

Nach dem Montieren des fertig strukturierten und bestückten Schaltungsträgers auf ein Umverdrahtungssubstrat kann die Kontaktierung mittels Drahtbondtechnik erfolgen. Dabei sind

alle Bonddrähte kurz und liegen am Rand des Schaltungsträgers. Durch diese Randposition wird gewährleistet, dass auch ein Gehäuse eine hohe Anschlusszahl aufweisen kann. Durch den Einsatz der Feinverdrahtungsebene wird gewährleistet, dass

5 die Kontaktanschlußflächen des Schaltungsträgers gleichmäßig auf vier Randseitenbereiche verteilt werden. Der Einsatz eines Schaltungsträgers mit integrierten Halbleiterchips erzeugt im Prinzip einen neuen Chip, welcher auf die Anforderungen eines Gehäuses hin optimiert werden kann.

10

Die Erfindung wird nun anhand der anliegenden Figuren näher erläutert.

15

Figur 1 zeigt einen schematischen Querschnitt durch eine Schaltungsträgerposition eines ersten Nutzens.

Figur 2 zeigt einen schematischen Querschnitt wie Figur 1 mit einer Feinverdrahtungsstruktur in der Schaltungsträgerposition.

20

Figur 3 zeigt einen schematischen Querschnitt wie in Figur 2 mit einem diskreten passiven Bauelement auf der Feinverdrahtungsstruktur.

25

Figur 4 zeigt eine Draufsicht auf eine Bauteilposition eines zweiten Nutzens vor dem Verpacken in einer Kunststoffgehäusemasse.

30

Figur 5 zeigt einen Querschnitt eines elektronischen Bauteils entlang der Schnittlinie A-A der Figur 4.

Figur 1 zeigt einen schematischen Querschnitt durch eine Schaltungsträgerposition 23 eines ersten Nutzens. Dieser er-

ste Nutzen weist im wesentlichen mehrere Schaltungsträgerpositionen auf, die in Zeilen und Spalten angeordnet sind. Dieser erste Nutzen entspricht im wesentlichen in Form und Größe einem Halbleiterwafer. Das Material dieses Wafers ist jedoch
5 nicht eine Halbleiterplatte, sondern eine Kunststoffplatte, wobei in jeder der Schaltungsträgerpositionen 23, wie sie Figur 1 zeigt, Halbleiterchips 2 derart integriert sind, dass die aktiven Oberseiten 5 der Halbleiterchips 2 bündig mit der Bestückungsseite 8 des Schaltungsträgers 7 abschließen. Die
10 Dicke d der Halbleiterchips 2 liegt im Bereich zwischen 50 µm und 750 µm und kann von Halbleiterchip zu Halbleiterchip in jeweils einer Schaltungsträgerposition variieren. Die Dicke D des Kunststoffmaterials 24 ist der Dicke d des dicksten der Halbleiterchips 2 innerhalb einer Schaltungsträgerposition
15 angepasst, so dass die passive Rückseite 31 des Halbleiterchips 2 von Kunststoffmaterial bedeckt ist.

In dieser Ausführungsform der Figur 1 wurde nach dem Einbringen der Halbleiterchips 2 in das Kunststoffmaterial 24 der
20 erste Nutzen einem Rückschleifprozess ausgesetzt und auf die Dicke D heruntergeschliffen.

Auf der aktiven Oberseite 5 der Halbleiterchips 2 sind Kontaktflächen 4 angeordnet, wobei die Erstreckung der Kontaktflächen 4 in dieser Darstellungsweise wesentlich größer ist
25 als die wahre Ausdehnung derartiger Kontaktflächen 4. Sie ist vielmehr kleiner als Kontaktflächen auf Halbleiterchips, die Bonddrähte aufnehmen müssen. Somit liegen die Abmessungen dieser Kontaktflächen 4 der Halbleiterchips 2 in einem Bereich, der kleiner ist als der Durchmesser von Bonddrähten.
30

In dieser Ausführungsform ist die Kontaktfläche 33 im Randbereich der aktiven Oberseite des Halbleiterchips 2 angeordnet,

und die Kontaktfläche 34 liegt an einer beliebigen Position zwischen dem Randbereich und dem Zentrumsbereich des Halbleiterchips 2. Eine derartig frei wählbare Anordnung der Kontaktfläche 34, die sich lediglich nach dem Design der integrierten Schaltung auf der aktiven Oberseite 5 des Halbleiterchips 2 richtet, ist bei dem erfindungsgemäßen elektronischen Bauteil vom Layout-Designer beliebig wählbar.

Die Oberfläche für die Realisierung von passiven Bauelementstrukturen und großflächigen Kontaktanschlußflächen für Bondverbindungen ist in dieser Schaltungsträgerposition nicht auf den Oberflächenbereich des Halbleiterchips 2 begrenzt, so dass derartige flächenintensive Komponenten eines elektronischen Bauteils auf einer gemeinsamen Feinverdrahtungsebene realisiert werden. Komponenten mit gleichen Funktionen wie in Figur 1 werden in den folgenden Figuren 2 bis 5 mit den gleichen Bezugszeichen gekennzeichnet und nicht extra erörtert.

Figur 2 zeigt einen schematischen Querschnitt wie Figur 1 mit einer Feinverdrahtungsstruktur 26 in der Schaltungsträgerposition 23. Die Feinverdrahtungsstruktur 26 ist in Dünnschichttechnik ausgeführt und hat deshalb eine Dicke δ zwischen 0,5 und 2,5 μm . Die Breite b der Leiterbahnen 20 und 21 liegt in der gleichen Größenordnung wie die Dicke der Feinverdrahtungsstruktur 26. Somit sind für den Halbleiterchip 2 Kontaktflächen 4 in gleicher minimaler Größenordnung bis hinunter zum Submikrometerbereich wie für die Breite b der Leiterbahnen 20 und 21 möglich.

Auf dem Randbereich in jeder Schaltungsträgerposition 23 sind Kontaktanschlußflächen 11 für entsprechende Bondverbindungen angeordnet. Diese flächenintensiven Kontaktanschlußflächen 11 verbrauchen somit lediglich Flächen, die auf der Bestückungs-

seite 8 in jeder der Schaltungsträgerpositionen 23 zur Verfügung stehen. Während die Leiterbahn 21 die Kontaktfläche 33 des Halbleiterchips 2 mit einer Kontaktanschlußfläche 11 im Randbereich 10 der Schaltungsträgerposition verbindet, sind
5 auf dem Halbleiterchip 2 auch Leiterbahnen 20 vorgesehen, die Kontaktflächen 4 des Halbleiterchips 2 mit Kontaktflächen benachbarter Halbleiterchips direkt verbinden.

Figur 3 zeigt einen schematischen Querschnitt wie Figur 2 mit
10 einem diskreten passiven Bauelement 22 auf der Feinverdrahtungsstruktur 26. Das diskrete Bauelement 22 ist in dieser Ausführungsform ein Kondensator, zumal Kondensatoren nicht unmittelbar mittels Leiterbahnen 20 oder 21 als passive Bauelemente darstellbar sind, wie beispielsweise Widerstände,
15 die durch Anordnen von feinstrukturierten Leiterbahnen in Mäanderform oder Spulen, die durch Anordnen der Leiterbahnen 20 und 21 in Spiralform auf der Feinverdrahtungsebene strukturiert werden. Um in der Feinverdrahtungsebene 9 innerhalb einer Schaltungsträgerposition 23 ein diskretes Bauelement 22
20 elektrisch zu verbinden, ist die Leiterbahn 35, die von der Kontaktfläche 34 zur Kontaktanschlußfläche 11 führt, unterbrochen und wird durch das passive Bauelement 22 an der Unterbrechungsstelle überbrückt. Die Elektroden 36 des passiven Bauelements 22 sind dazu mit Enden der Leiterbahn 35 an der
25 Unterbrechungsstelle verbunden.

Wenn durch das Bestücken des ersten Nutzens in jeder der Schaltungsträgerpositionen der Feinverdrahtungsebene 9 mit passiven Bauelementen 22 abgeschlossen ist, wird der erste
30 Nutzen in einzelne Schaltungsträger jeder Schaltungsträgerposition 23 getrennt und stellt praktisch ein vergrößertes Chip dar, das auf ein Umverdrahtungssubstrat aufgebracht werden kann.

- Figur 4 zeigt eine Draufsicht auf eine Bauteilposition 30 eines zweiten Nutzens vor dem Verpacken in einer Kunststoffgehäusemasse. Diese Bauteilposition 30 des zweiten Nutzens weist ein Umverdrahtungssubstrat 12 auf, das ein Teil einer zusammenhängenden Umverdrahtungsplatte 27 mit mehreren Bauteilpositionen 30 ist. Die Bauteilpositionen sind in Zeilen und Spalten auf der Umverdrahtungsplatte angeordnet. Dieses Umverdrahtungssubstrat 12 trägt einen aus dem ersten Nutzen getrennten Schaltungsträger 7, wobei die Größe des Schaltungsträgers 7 kleiner ist als das Umverdrahtungssubstrat 12. Somit bleibt ein Randbereich 14 auf dem Umverdrahtungssubstrat frei, der Bondflächen 15 aufweist. Die Bondflächen 15 sind über Bonddrähte 29 mit Kontaktanschlußflächen 11 auf dem Schaltungsträger 7 verbunden. Von den Bondflächen 7 gehen hier nicht gezeigte Umverdrahtungsleitungen aus, die über Durchkontakte zur Unterseite 19 des Umverdrahtungssubstrats 12 führen.
- Der in Figur 4 gezeigte Schaltungsträger 7 weist zwei Halbleiterchips 2 und 3 von unterschiedlicher Größe auf. Die Kontaktflächen 4 dieser Halbleiterchips 2 und 3 sind teilweise in Randbereichen angeordnet und teilweise auf den Oberseiten 5 und 6 der Halbleiterchips 2 und 3 verteilt. Die Feinverdrahtungsstruktur 26 weist Leiterbahnen 20 auf, welche Kontaktflächen 4 des Halbleiterchips 2 mit Kontaktflächen 4 des Halbleiterchips 3 direkt verbinden. Andere Leiterbahnen 21 der Feinverdrahtungsstruktur 26 verbinden Kontaktflächen 4 mit Kontaktanschlußflächen 11 im Randbereich 10 des Schaltungsträgers 7. Weitere Leiterbahnen 35 der Feinverdrahtungsstruktur 26 verbinden Kontaktflächen 4 mit Kontaktanschlußflächen 11 über ein passives Bauelement 22.

Diese Draufsicht zeigt, dass alle flächenintensiven Komponenten keine zusätzliche aktive Chipoberfläche beanspruchen, sondern vielmehr auf der Bestückungsseite 8 des Schaltungsträgers 7 angeordnet sind. Die Schnittlinie A-A, entlang welcher der in Figur 5 gezeigte Querschnitt eines elektronischen Bauteils aufgenommen ist, verläuft von links nach rechts in Figur 4 zunächst durch das Material in dem Randbereich 14 des Umverdrahtungssubstrats 12 und durchscheidet dabei eine Bondfläche 15 und einen Bonddraht 29, der auf einer Kontaktanschlußfläche 11 des Schaltungsträgers 7 mit einem Thermokompressionskopf aufgebracht ist. Von dort aus führt die Schnittlinie A-A weiter über die Leiterbahn 35 durch das passive Bauelement 22 hindurch zu einer Kontaktfläche 4, die nicht am Rand des Halbleiterchips 2 angeordnet ist.

15

Danach durchtrennt die Schnittlinie A-A eine Leiterbahn 20, die von einer Kontaktfläche 4 des Halbleiterchips 2 zu einer Kontaktfläche 4 des Halbleiterchips 3 führt. Schließlich durchtrennt die Schnittlinie A-A eine Kontaktfläche 4 im Randbereich des Halbleiterchips 2 der angeschlossenen Leiterbahn 21, die zu einer Kontaktanschlußfläche 11 im Randbereich 10 des Schaltungsträgers 7 führt. Auf der rechten Seite der Bauteilposition 30 durchschneidet die Schnittlinie A-A wieder einen Bonddraht, der zu der Bondfläche 15 im Randbereich 14 des Umverdrahtungssubstrats 12 hinführt.

25

Figur 5 zeigt einen schematischen Querschnitt eines elektronischen Bauteils 1 entlang der Schnittlinie A-A der Figur 4. Die Figur 5 zeigt gegenüber der Figur 4, dass das Umverdrahtungssubstrat 12 mit einer Kunststoffgehäusemasse 28 bedeckt ist, in welche die Komponenten, die von der Umverdrahtungsplatte 12 getragen werden, eingebettet sind. Darüber hinaus zeigt die Figur 5 Außenkontakte 18, die auf der Unterseite 19

30

des Umverdrahtungssubstrats 12 gleichmäßig verteilt angeordnet sind. Diese Außenkontakte 18 sind über nicht gezeigte Außenkontaktflächen, Durchgangskontakte und Umverdrahtungsleitungen mit den Bondflächen 15 auf der Oberseite 13 des Umverdrahtungssubstrats 12 elektrisch verbunden. Somit sind bei dieser Ausführungsform der Erfindung die Kontaktanschlußflächen 11 in dem Randbereich 10 des Schaltungsträgers 7 mit den auf der Unterseite 19 und damit auf der Unterseite des elektronischen Bauteils 1 verteilten Außenkontakten 18 elektrisch verbunden.

Bezugszeichenliste

	1	elektronisches Bauteil
	2	Halbleiterchip
5	3	Halbleiterchip
	4	Kontaktflächen
	5	aktive Oberseite
	6	aktive Oberseite
	7	Schaltungsträger
10	8	Bestückungsseite
	9	Feinverdrahtungsebene
	10	Randbereich des Schaltungsträgers
	11	Kontaktanschlußflächen
	12	Umverdrahtungssubstrat
15	13	Oberseite des Umverdrahtungssubstrats
	14	Randbereich der Oberseite des Umverdrahtungssubstrats
	15	Bondflächen
	16	Bondverbindungen
	17	Gehäuse
20	18	Außenkontakte
	19	Unterseite des Umverdrahtungssubstrats
	20	Leiterbahn
	21	Leiterbahn
	22	passives elektronisches Bauelement
25	23	Schaltungsträgerposition des ersten Nutzens
	24	Kunststoffmaterial des Schaltungsträgers
	25	Oberseite des ersten Nutzens
	26	Feinverdrahtungsstruktur
	27	Umverdrahtungsplatte
30	28	Kunststoffgehäusemasse
	29	Bonddrähte
	30	Bauteilposition eines zweiten Nutzens
	31	passive Rückseite

- 32 Unterseite des Nutzens
- 33 Kontaktfläche im Randbereich
- 34 Kontaktfläche auf der aktiven Oberseite
- 35 Leiterbahnen
- 5 36 Elektroden des passiven Bauelementes
 - D Dicke des Schaltungsträgers
 - d Dicke des Halbleiterchips
 - δ Dicke der Feinverdrahtungsstruktur

10

Patentansprüche

1. Elektronisches Bauteil, das nachfolgende Merkmale aufweist:

- 5 - zwei oder mehr Halbleiterchips (2, 3) mit Kontaktflächen (4) auf ihren aktiven Oberseiten (5, 6),
- einen Schaltungsträger (7), wobei die Halbleiterchips (2, 3) in den Schaltungsträger (7) derart integriert sind, dass eine Bestückungsseite (8) des
- 10 Schaltungsträgers (7) und aktive Oberseiten (5, 6) der Halbleiterchips (2, 3) bündig sind und eine gemeinsame Feinverdrahtungsebene (9) aufweisen, wobei die Feinverdrahtungsebene (9) im Randbereich (10)
- des Schaltungsträgers (7) Kontaktanschlußflächen (11) aufweist,
- 15 - ein Umverdrahtungssubstrat (12), wobei das Umverdrahtungssubstrat (12) den Schaltungsträger (7) auf seiner Oberseite (13) trägt, und diese Oberseite (13) einen Randbereich (14) aufweist, der nicht
- 20 von dem Schaltungsträger (7) bedeckt ist und der Bondflächen (15) aufweist,
- Bondverbindungen (16), die zwischen den Kontaktanschlußflächen (11) des Schaltungsträgers (7) und den Bondflächen (15) des Umverdrahtungssubstrats
- 25 (12) angeordnet sind,
- ein Gehäuse (19), in das die Komponenten auf dem Umverdrahtungssubstrat (12) verpackt sind,
- Außenkontakte (18) des elektronischen Bauteils (1), die verteilt auf der Unterseite (19) des Umverdrahtungssubstrats (12) angeordnet sind.
- 30

2. Elektronisches Bauteil nach Anspruch 1, dadurch gekennzeichnet, dass

die Halbleiterchips (2, 3) unterschiedliche Größen in Bezug auf Dicke (d) und aktive Oberflächen (5, 6) und unterschiedliche integrierte Schaltungen aufweisen.

- 5 3. Elektronisches Bauteil nach Anspruch 1 oder Anspruch 2, dadurch gekennzeichnet, dass die Halbleiterchips (2, 3) außerhalb eines zentralen Bondkanals und außerhalb von randseitigen Kontaktflächen zusätzliche beliebig auf der aktiven Oberseite (5, 6) verteilte Kontaktflächen (4) aufweisen.
- 10
4. Elektronisches Bauteil nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Feinverdrahtungsebene (9) elektrische Leiterbahnen (21) zwischen Kontaktflächen (4) der zwei oder mehr Halbleiterchips (2, 3) aufweist.
- 15
5. Elektronisches Bauteil nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Feinverdrahtungsebene (9) elektrische Leiterbahnen zwischen Kontaktflächen (4) und Kontaktanschlußflächen (11) aufweist.
- 20
6. Elektronisches Bauteil nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Feinverdrahtungsebene (9) Dünnschichtleiterbahnen aufweist.
- 25
7. Elektronisches Bauteil nach einem der vorhergehenden Ansprüche,,
- 30

dadurch gekennzeichnet, dass die Feinverdrahtungsebene (9) mit passiven diskreten elektronischen Bauelementen (22) bestückt ist.

- 5 8. Elektronisches Bauteil einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
die Feinverdrahtungsebene (9) Dünnschichtbauelemente, insbesondere elektrische Widerstände, Kammfilter, induktive
10 Bauelemente und/oder kapazitive Bauelemente aufweist.
9. Elektronisches Bauteil nach Anspruch 8,
dadurch gekennzeichnet, dass
die elektrischen Widerstände eine Mäanderform aufweisen.
15
10. Elektronisches Bauteil nach Anspruch 8 oder Anspruch 9,
dadurch gekennzeichnet, dass
die induktiven Bauelemente eine Spiralform aufweisen.
- 20 11. Elektronisches Bauteil einem der vorhergehenden Ansprüche,
dadurch gekennzeichnet, dass
das Umverdrahtungssubstrat (12) Umverdrahtungsleitungen und Durchgangskontakte zu Außenkontaktflächen mit Außen-
25 kontakten (18) des elektronischen Bauteils (1) aufweist.
12. Schaltungsträger für ein elektronisches Bauteil (1) mit mehreren Halbleiterchips (2, 3), wobei die Halbleiterchips (2, 3) in den Schaltungsträger (7) derart integriert sind, dass eine Bestückungsseite (8) des Schaltungsträgers (7) und aktive Oberseiten (5, 6) der Halbleiterchips (2, 3) bündig sind und eine gemeinsame Fein-
30

verdrahtungsebene (9) aufweisen, welche die Merkmale von einem der Ansprüche 4 bis 10 aufweist.

- 5 13. Nutzen mit mehreren Schaltungsträgerpositionen, wobei jede Schaltungsträgerposition einen Schaltungsträger (7) nach Anspruch 11 aufweist.
- 10 14. Nutzen nach Anspruch 13, dadurch gekennzeichnet, dass die Schaltungsträgerpositionen in Zeilen und Spalten angeordnet sind.
- 15 15. Nutzen nach Anspruch 13 oder Anspruch 14, dadurch gekennzeichnet, dass der Nutzen in Form und Größe einem Halbleiterwafer oder einer Leiterplatte entspricht.
- 20 16. Verfahren zur Herstellung eines elektronischen Bauteils (1) mit mehreren Halbleiterchips (2, 3), die in einem gemeinsamen Schaltungsträger (7) eingebettet sind, wobei das Verfahren folgende Verfahrensschritte aufweist:
- 25 - Herstellen eines ersten Nutzens mit in Zeilen und Spalten angeordneten Schaltungsträgerpositionen, wobei in jeder Schaltungsträgerposition zwei oder mehr Halbleiterchips (2, 3) in das Material (24) des Schaltungsträgers (7) eingebettet werden, so daß die aktiven Oberseiten (5, 6) der Halbleiterchips (2, 3) mit einer Oberseite des ersten Nutzens bündig werden,
- 30 - Aufbringen einer gemeinsamen Feinverdrahtungsstruktur (26) auf die aktiven Oberseiten (5, 6) der Halbleiterchips (2, 3) und auf die zu diesen Oberseiten (5, 6) bündige Oberseite (25) des ersten

- Nutzens in jeder Schaltungsträgerposition mit Kontaktanschlußflächen (11) in den Randbereichen (10) jeder Schaltungsträgerposition,
- Trennen des ersten Nutzens in einzelne Schaltungsträger (7),
 - Herstellen einer Umverdrahtungsplatte (27) mit in Zeilen und Spalten angeordneten Bauteilpositionen unter Anordnen von Bondflächen (15) in Randbereichen (14) jeder Bauteilposition und Aufbringen von auf der Unterseite (19) der Umverdrahtungsplatte (27) verteilten Außenkontaktflächen in jeder Bauteilposition,
 - Aufbringen eines aus dem ersten Nutzen getrennten Schaltungsträgers (7) in jeder der Bauteilpositionen der Umverdrahtungsplatte (27) unter Freilassen der Randbereiche mit Bondflächen (15),
 - Herstellen von Bondverbindungen (16) zwischen den Kontaktanschlußflächen (11) jedes Schaltungsträgers (7) und den Bondflächen (15) der Umverdrahtungsplatte (27) in jeder Bauteilposition,
 - Herstellen eines zweiten Nutzens durch Bedecken der Bauteilpositionen mit einer Kunststoffgehäusemasse,
 - Aufbringen von Außenkontakten (18) auf den Außenkontaktflächen der Umverdrahtungsplatte,
 - Trennen des zweiten Nutzens in einzelne elektronische Bauteile (1).
17. Verfahren nach Anspruch 16,
dadurch gekennzeichnet, dass
zum Aufbringen einer gemeinsamen Feinverdrahtungsstruktur (9) ein Photolithographieverfahren zur Feinstrukturierung geschlossen aufgetragener Metallschichten eingesetzt wird.

18. Verfahren nach Anspruch 16,
dadurch gekennzeichnet, dass
zum Aufbringen einer Umverdrahtungsstruktur auf die Um-
berdrahtungsplatte (27) oder einer Feinverdrahtungs-
struktur (9) auf den ersten Nutzen eine Leitpaste aufge-
druckt wird, die anschließend zu Leiterbahnen (20, 21),
Kontaktanschlußflächen (11), Bondflächen (15) und/oder
passiven Bauelementen (22) gesintert wird.
19. Verfahren nach einem der Ansprüche 16 bis 18,
dadurch gekennzeichnet, dass
die Kontaktanschlußflächen (11) mit einem bondbaren Ma-
terial beschichtet werden.
20. Verfahren nach einem der Ansprüche 16 bis 19,
dadurch gekennzeichnet, dass
die Bondverbindungen (16) mittels Thermokompressionsbon-
den von Bonddrähten (29) auf den Kontaktanschlußflächen
und auf diesen zugeordneten Bondflächen (15) gebondet
werden.
21. Verfahren nach einem der Ansprüche 16 bis 20,
dadurch gekennzeichnet, dass
die Kunststoffgehäusemasse (28) mittels eines Transfer-
moldverfahrens aufgebracht wird.

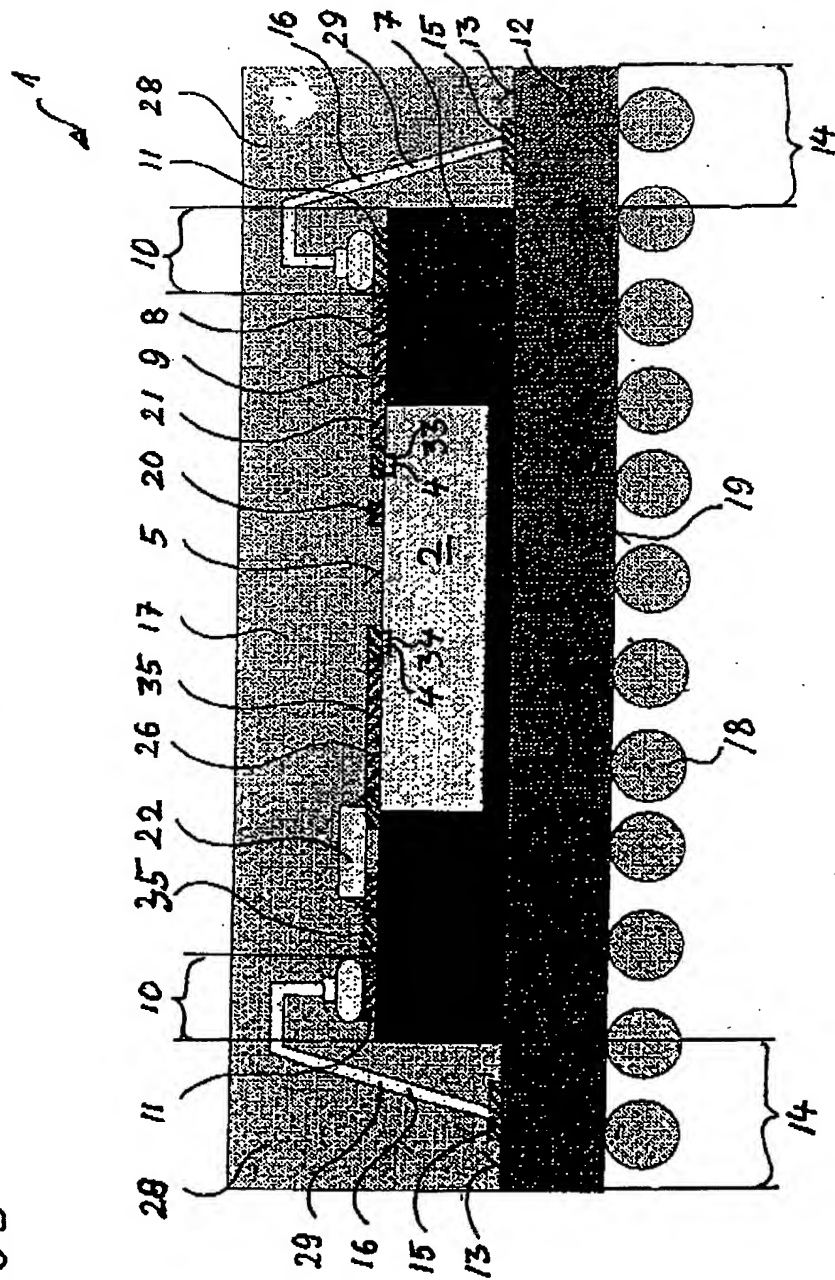
Zusammenfassung

Elektronisches Bauteil als Multichipmodul und Verfahren zu dessen Herstellung

- 5 Die Erfindung betrifft ein elektronisches Bauteil, einen Schaltungsträger und einen Nutzen sowie Verfahren zur Herstellung derselben. Das elektronische Bauteil (1) weist als Multichipmodul zwei oder mehr Halbleiterchips (2, 3) auf, die
- 10 in einen Schaltungsträger (7) derart integriert sind, dass eine Bestückungsseite (8) des Schaltungsträgers (7) und die aktiven Oberseiten (5, 6) der Schaltungschips (2, 3) bündig sind und eine gemeinsame Feinverdrahtungsebene (9) aufweisen. Der Schaltungsträger (7) ist als expandierter Halbleiterchip
- 15 auf einem Umverdrahtungssubstrat (12) angeordnet.

[Figur 5]

FIG 5



31

FIG 4

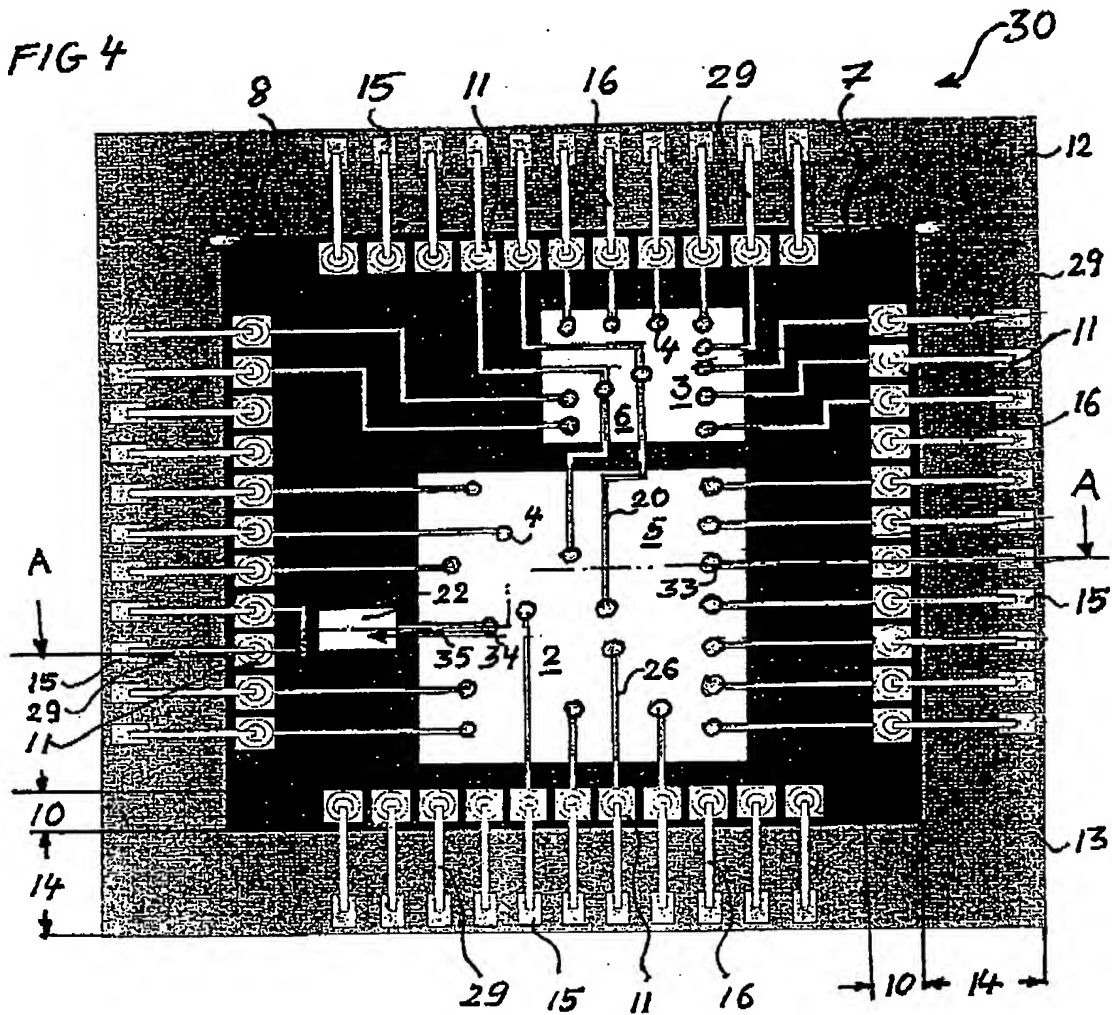
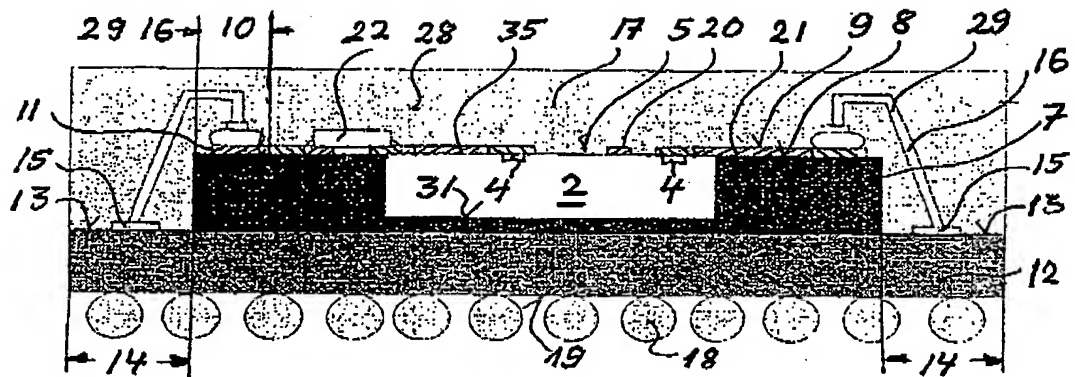


FIG 5



GESAMT SEITEN 32